



(19)

(11) Publication number:

07131023 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 05275301

(51) Intl. Cl.: H01L 29/786 H01L 21/336 G02F 1/136  
H01L 21/316

(22) Application date: 04.11.93

(30) Priority:

(43) Date of application  
publication: 19.05.95(84) Designated  
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: TAKEDA MAMORU

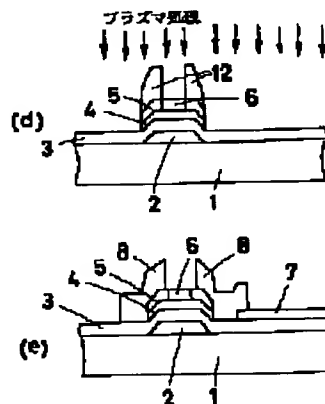
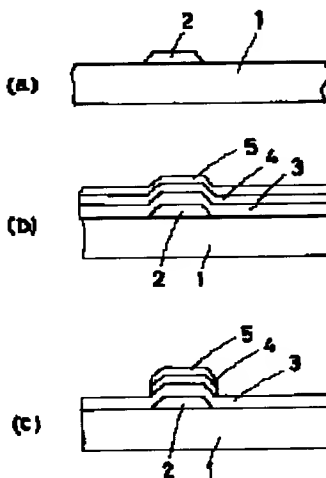
(74) Representative:

(54) FABRICATION OF TFT  
ARRAY SUBSTRATE FOR  
LIQUID CRYSTAL DISPLAY

(57) Abstract:

**PURPOSE:** To enhance productivity by eliminating the conventional need for forming thick semiconductor layer and impurity semiconductor layer while allowing easy isolation thereof between source and drain.

**CONSTITUTION:** (a) A gate electrode 2 is formed on a transparent insulating substrate 1 and patterned. (b) A gate insulator layer 3, a semiconductor layer 4, and an impurity semiconductor layer ( $n^+$ -a-Si) 5 are then formed sequentially thereon. (c) The semiconductor layer 4 and the impurity semiconductor layer 5 are left at the channel part of transistor by patterning. (d) The transparent insulating substrate 1 is set on the anode side and oxygen plasma is generated thus subjecting the impurity semiconductor layer 5 to plasma anodic oxidation. The impurity semiconductor layer 5 on the channel serves as an insulator layer 6 for isolating the channel. (e) An ITO is deposited and a pixel electrode 7 is formed before a source-drain electrode 8 is formed and patterned.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131023

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786

21/336

G 0 2 F 1/136

識別記号

庁内整理番号

F I

技術表示箇所

5 0 0

9056-4M

H 0 1 L 29/ 78

3 1 1 P

9056-4M

3 1 1 N

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平5-275301

(22) 出願日

平成5年(1993)11月4日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 竹田 守

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 弁理士 宮井 暎夫

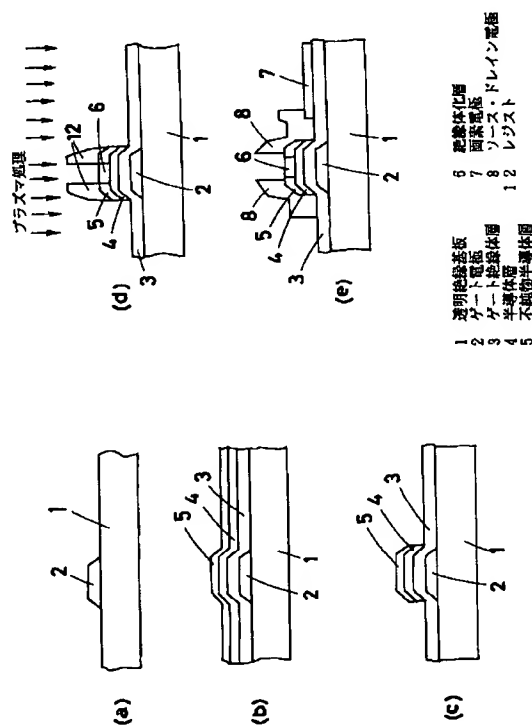
(54) 【発明の名称】 液晶表示用 T F T アレイ基板の製造方法

(57) 【要約】

【目的】 生産性の向上を図る。

【構成】 (a) 透明絶縁基板 1 上にゲート電極 2 を成膜しパターンニングする。(b) ゲート絶縁体層 3、半導体層 4、不純物半導体層 ( $n^+$ : a-Si) 5 を連続して成膜する。(c) トランジスタのチャネル部分に半導体層 4 および不純物半導体層 5 をパターンニングして残す。(d) 透明絶縁基板 1 を陽極側に設置して酸素プラズマを発生させ不純物半導体層 5 をプラズマ陽極酸化する。これによりチャネル上の不純物半導体層 5 を絶縁体化層 6 として、チャネルの分離を行う。(e) ITO を成膜し、画素電極 7 を形成した後ソース・ドレイン電極 8 を成膜しパターンニングする。

【効果】 容易にソース・ドレイン間の不純物半導体層の分離が可能になり、さらに、半導体層と不純物半導体層とを従来のように厚く成膜する必要がないため、生産性を大いに向上させることができる。



## 【特許請求の範囲】

【請求項1】 半導体層とこの半導体層の上面に積層した不純物半導体層との積層膜に対し、酸素プラズマによる陽極酸化を選択的にを行い、少なくとも前記不純物半導体層を絶縁体化し、前記半導体層を残すことを特徴とする液晶表示用TFTアレ基板の製造方法。

【請求項2】 半導体層とこの半導体層の上面に積層した不純物半導体層との積層膜に対し、チッ素プラズマによるチッ化処理を選択的にを行い、少なくとも前記不純物半導体層を絶縁体化し、前記半導体層を残すことを特徴とする液晶表示用TFTアレ基板の製造方法。

【請求項3】 半導体層と不純物半導体層との間に、保護絶縁体層を介在させる請求項1または請求項2記載の液晶表示用TFTアレ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、液晶表示用TFT（薄膜トランジスタ）アレ基板の製造方法に関するものである。

## 【0002】

【従来の技術】 従来の液晶表示用TFTアレ基板の製造方法は、ゲート電極、ゲート絶縁体層、半導体層、保護絶縁体層、ITO絵素電極およびソース・ドレイン電極など薄膜を順に形成しパターンニングするプロセスを使用していた。しかも、昨今は10インチ（254mm）画面クラスの大型のTFT-LCD（液晶表示装置）が製造されており、今後ますます高画質化が要求されるようになってきている。特に、TFTアレ作成中に作ってしまう欠陥については、欠陥が皆無になるような努力が盛んに行われている。

【0003】 特にTFTを形成する工程で、ソース電極とドレイン電極とを分離する方法として、図4に示すように、透明絶縁基板1に形成したゲート電極2の上に、ゲート絶縁体層3、半導体層4および保護絶縁体層10の3層を成膜後、上記保護絶縁体層10をパターンニングしてその上に成膜する不純物半導体層5をパターンニングするときに、エッチングストッパーとして利用する第1の方法（特開昭62-276877号公報）と、図5に示すように、ゲート絶縁体層3、半導体層4および不純物半導体層5の3層を成膜後、上記半導体層4および不純物半導体層5を島化した後、ソース・ドレイン電極8をパターンニングする時に、同時にチャンネル部の上記不純物半導体層5をエッチングしてTFTを形成する第2の方法（特公昭56-135968号公報）が採られてきた。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記第1の方法では、保護絶縁体層10を成膜する工程が増えることと、チャンネル部の不純物半導体層5をパターンニングする時に、保護絶縁体層10がかなりダメージを受け

たり、不純物半導体層5がチャンネル間で段差部として残るという問題をかかえている。しかも、保護絶縁体層10を成膜する工程が増える。また第2の方法では、不純物半導体層5のパターニングの時、下部の半導体層4のエッチングの選択性を十分とる必要があるため、半導体層4の膜厚をかなり厚く成膜し（通常2000～3000Å）、しかも不純物半導体層5のエッチングの均一性を上げる必要があり、生産性が悪い。

【0005】 この発明の目的は、生産性を向上することができ液晶表示用TFTアレ基板の製造方法を提供することである。

## 【0006】

【課題を解決するための手段】 この発明の液晶表示用TFTアレ基板の製造方法は、半導体層とこの半導体層の上面に積層した不純物半導体層との積層膜に対し、酸素プラズマによる陽極酸化またはチッ素プラズマによるチッ化処理を選択的にを行い、少なくとも不純物半導体層を絶縁体化し、半導体層を残すことを特徴とする。

## 【0007】

【作用】 この発明の液晶表示用TFTアレ基板の製造方法によれば、容易にソース・ドレイン間の分離を行うことができるため、半導体層も不純物半導体層とも薄く成膜でき、工程も従来に比較して少なくなる。

## 【0008】

【実施例】 以下に、この発明の第1の実施例の液晶表示用TFTアレ基板の製造方法について図1を参照しながら説明する。第1の工程として、図1（a）に示すように、透明絶縁基板1上にゲート電極2を成膜、パターンニングする。第2の工程として、図1（b）に示すように、上記透明絶縁基板1上に、P-CVD等でゲート絶縁体層3、半導体層4、不純物半導体層（ $n^+$  : a-Si）5を連続して成膜する。

【0009】 第3の工程として、図1（c）に示すように、トランジスタのチャンネル部分に前記半導体層4および不純物半導体層5をパターンニングして残す。第4の工程として、図1（d）に示すように、上記透明絶縁基板1の不純物半導体層5の所定領域（ソース・ドレイン領域）にレジスト12をパターンニングして残した後、上記透明絶縁基板1を陽極側に設置して、酸素プラズマを発生させ、レジスト12をマスクとして不純物半導体層5をプラズマ陽極酸化する。このとき、時間制御およびプラズマのパワー制御により不純物半導体層5のみ陽極酸化し、その下層の不純物を入れていない半導体層4は、陽極酸化をしないか、あるいは一部陽極酸化を行う。これによりチャンネル上の不純物半導体層5を絶縁体化層6として、チャンネルの分離を行う。

【0010】 第5の工程として、図1（e）に示すように、透明絶縁基板1の表面にITOを成膜し、画素電極7を形成した後ソース・ドレイン電極8を成膜、パターンニングする。通常は、この後、パッシベーションの絶縁

体層（図示せず）を形成、パターニングして、TFTアレイを形成する。なお、露出した不純物半導体層5を絶縁体化層6とする工程において、酸素プラズマによる陽極酸化に代えて、チッ素プラズマによるチッ化処理を採用することができる。

【0011】図5に示す従来例のように、保護絶縁体層が無い場合は、半導体層4と不純物半導体層5層との選択エッチング性を取るために、半導体層4の膜厚を2000～3000Å程度成膜することが必要である。しかしこの実施例によると、半導体層4が500Å程度の膜厚でも、問題なくソース・ドレイン電極8の分離が可能になるため、半導体によるフォトコンも抑えられるし、P-CVD装置のメンテナンス回数も大幅に低減することができる。

【0012】第2の実施例のTFTアレイ基板の製造方法について図2を参照しながら説明する。第1の工程として、図2(a)に示すように、透明絶縁基板1上にゲート電極2を成膜、パターニングする。第2の工程として、図2(b)に示すように、上記透明絶縁基板1上に、P-CVD等でゲート絶縁体層3、半導体層4、不純物を含んだ半導体層( $n^+ : a-Si$ )5を連続して成膜する。

【0013】第3の工程として、図2(c)に示すように、トランジスタのチャンネル部分に前記半導体層4および不純物半導体層5をレジスト（図示せず）を用いてパターニングして残す。第4の工程として、図2(d)に示すように、上記透明絶縁基板1上にITOを成膜し、画素電極7を形成した後ソース・ドレイン電極8を成膜、パターニングする。

【0014】第5の工程として、図2(e)に示すように、上記透明絶縁基板1を陽極側に設置して、酸素プラズマを発生させ不純物半導体層5をプラズマ陽極酸化する。このとき、時間制御およびプラズマのパワー制御により不純物半導体層5のみ陽極酸化し、不純物を入れない半導体層4は、陽極酸化をしないか、あるいは一部陽極酸化を行う。これによりチャンネル上の不純物半導体層5を絶縁体化層6として、チャンネルの分離を行う。通常は、この後、パッシベーションの絶縁体層（図示せず）を形成、パターニングして、TFTアレイを形成する。

【0015】なお、露出した不純物半導体層5を絶縁体化層6とする工程において、酸素プラズマによる陽極酸化に代えて、チッ素プラズマによるチッ化処理を採用することができる。第3の実施例のTFTアレイ基板の製造方法について図3を参照しながら説明する。第1の工程として、図3(a)に示すように、透明絶縁基板1上にゲート電極2を成膜、パターニングする。

【0016】第2の工程として、図3(b)に示すように、上記透明絶縁基板1上に、P-CVD等でゲート絶縁体層3、半導体層4、保護絶縁体層10を成膜する。

第3の工程として、図3(c)に示すように、前記保護絶縁体層10をチャンネル上にパターニング後、不純物を含んだ半導体層( $n^+ : a-Si$ )5を成膜する。

【0017】第4の工程として、図3(d)に示すように、トランジスタのチャンネル部分の不純物半導体層5と半導体層4をレジスト（図示せず）によりパターニングする。第5の工程として、図3(e)に示すように、透明絶縁基板1上にITOを成膜し、画素電極7を形成した後ソース・ドレイン電極8を成膜、パターニングする。

【0018】第6の工程として、図3(f)に示すように、上記透明絶縁基板1を陽極側に設置して、酸素プラズマを発生させ不純物半導体層5をプラズマ陽極酸化する。このとき、時間制御およびプラズマのパワー制御により不純物半導体層5のみ陽極酸化し、不純物を入れない半導体層4は、陽極酸化をしないか、あるいは一部陽極酸化を行う。これによりチャンネル上の不純物半導体層5を絶縁体化層6として、チャンネルの分離を行う。通常は、この後、パッシベーションの絶縁体層（図示せず）を形成、パターニングして、TFTアレイを形成する。

【0019】なお、露出した不純物半導体層5を絶縁体化層6とする工程において、酸素プラズマによる陽極酸化に代えて、チッ素プラズマによるチッ化処理を採用することができる。

#### 【0020】

【発明の効果】この発明の液晶表示用TFTアレイ基板の製造方法にれば、製造工程中のアレイ基板について容易にソース・ドレイン間の不純物半導体層の分離が可能になり、各工程での選択エッチング性のマージンを大きく取れる。さらに、半導体層と不純物半導体層とを従来のように厚く成膜する必要がないため、成膜装置のメンテナンスの回数も低減可能となり、生産性を大いに向上させることができる。

#### 【図面の簡単な説明】

【図1】(a)～(e)は、この発明の第1の実施例の液晶表示用TFTアレイ基板の製造方法の工程断面図である。

【図2】(a)～(e)は、この発明の第2の実施例の液晶表示用TFTアレイ基板の製造方法の工程断面図である。

【図3】(a)～(f)は、この発明の第3の実施例の液晶表示用TFTアレイ基板の製造方法の工程断面図である。

【図4】第1の従来例の断面構造図である。

【図5】第2の従来例の断面構造図である。

#### 【符号の説明】

- 1 透明絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁体層

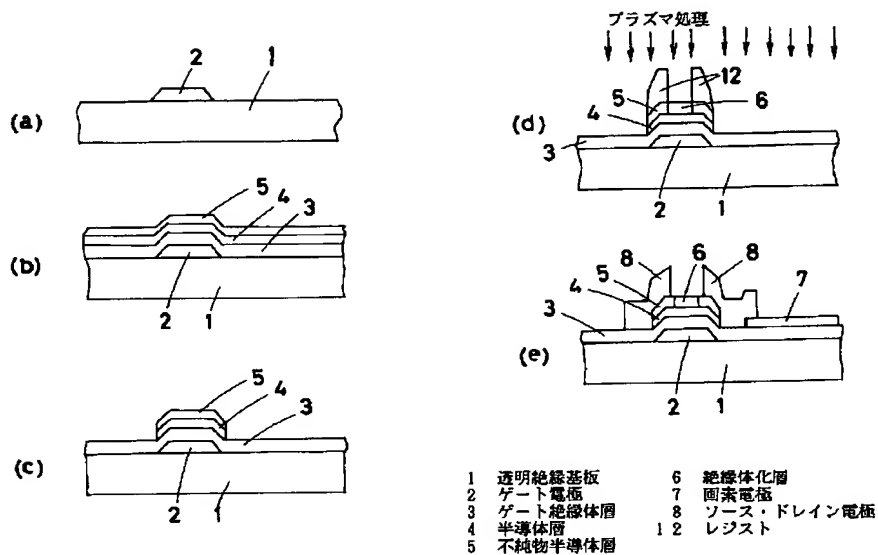
5

6

- 4 半導体層
- 5 不純物半導体層
- 6 絶縁体化層
- 7 画素電極

- 8 ソース・ドレイン電極
- 10 保護絶縁体層
- 12 レジスト

【図1】



【図2】

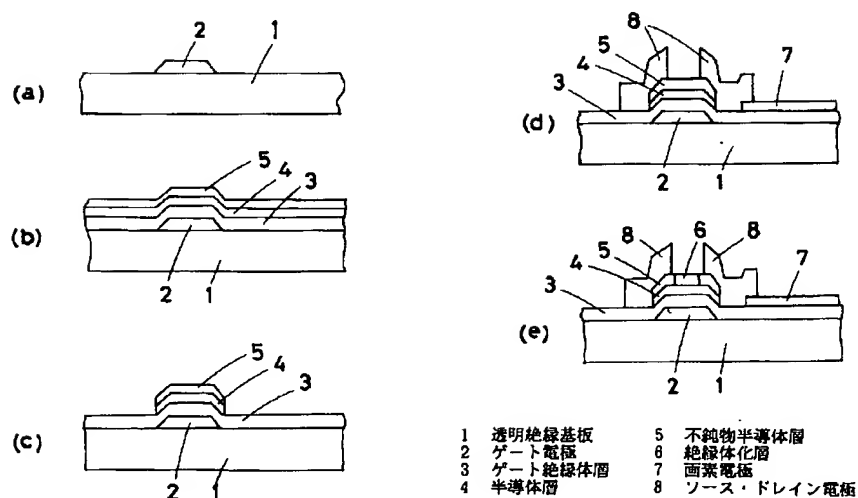


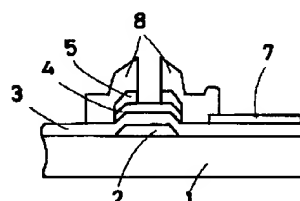
Figure 1 consists of four cross-sectional diagrams labeled (a) through (d), illustrating different configurations of a multi-layered structure with a central protrusion. The layers are labeled with numbers 1 through 10.

- (a) shows a base layer (1) with a central protrusion (2) on its top surface. A thin layer (10) is shown on the top surface of the base layer.
- (b) shows a base layer (1) with a central protrusion (2) on its top surface. A thin layer (10) is shown on the top surface of the base layer. A layer (4) is shown on the top surface of the protrusion (2).
- (c) shows a base layer (1) with a central protrusion (2) on its top surface. A thin layer (10) is shown on the top surface of the base layer. A layer (4) is shown on the top surface of the protrusion (2). A layer (5) is shown on the top surface of the layer (4).
- (d) shows a base layer (1) with a central protrusion (2) on its top surface. A thin layer (10) is shown on the top surface of the base layer. A layer (4) is shown on the top surface of the protrusion (2). A layer (5) is shown on the top surface of the layer (4). A layer (3) is shown on the top surface of the layer (5).

Fig. 1. Schematic diagrams of the device. (e) shows the device in the initial position with the contact 10 on the contact 7. (f) shows the device in the position after the contact 10 has moved to the contact 8.

- |   |         |    |            |
|---|---------|----|------------|
| 1 | 透明絶縁基板  | 6  | 絶縁体化層      |
| 2 | ゲート電極   | 7  | 画素電極       |
| 3 | ゲート絶縁体層 | 8  | ソース・ドレイン電極 |
| 4 | 半導体層    | 10 | 保護絶縁体層     |
| 5 | 不純物半導体層 |    |            |

- 1 透明絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁体層
- 4 半導体層
- 5 不純物半導体層
- 6 画素電極
- 8 ソース・ドレイン電極
- 10 保護絶縁体層



- 1 透明絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁体層
- 4 半導体層
- 5 不純物半導体層
- 6 絶縁体化層
- 7 画素電極
- 8 ソース・ドレイン電極

### 技術表示箇所